

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321046

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H01L 21/3205  
H01L 21/768

(21)Application number : 08-139999

(71)Applicant : NEC CORP

(22)Date of filing : 03.06.1996

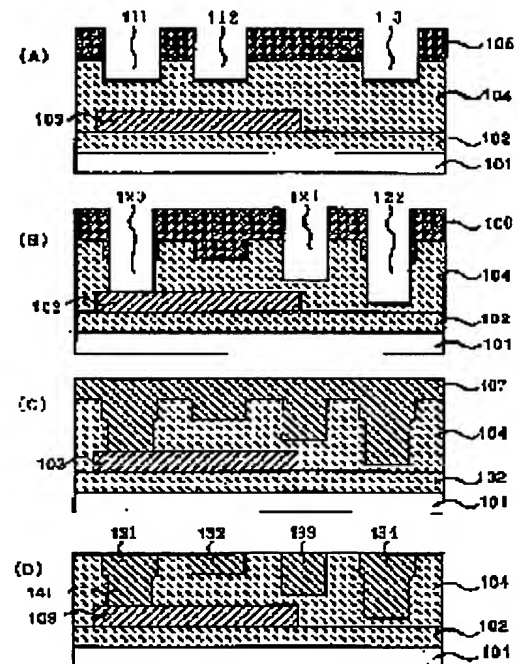
(72)Inventor : NOGUCHI KOU

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable a design of circuits at a high degree of freedom with taking account of the line-to-line resistance and capacitance by providing two or more different-thickness groovy lines in the same wiring layer.

**SOLUTION:** An Al line A103 of e.g. 0.5 $\mu$ m thick is formed on a first silicon oxide film 102, second silicon oxide film 104 is formed on the entire surface and anisotropically etched down to about 0.5 $\mu$ m deep with a photoresist mask 105 to form first groovy openings 111-113 for lines B131, C132, D134, then the resist 105 is removed, the oxide film 104 is etched down to about 1.0 $\mu$ m deep with a photoresist mask 106 to form hole-like openings 120 and second groovy openings 121-122, the resist 106 is removed, an Al 107 is formed on the entire surface and polished by the chemical-mechanical method to make the surface of the Al 107 flush with that of the oxide film 104 and wirings 131-134 are formed.



## LEGAL STATUS

[Date of request for examination] 03.06.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2809200

[Date of registration] 31.07.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-321046

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl.<sup>6</sup>H01L 21/3205  
21/768

識別記号

F I

H01L 21/88

21/90

B  
K  
N  
A

審査請求 有 請求項の数5 O L (全10頁)

(21)出願番号 特願平8-139999

(22)出願日 平成8年(1996)6月3日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 野口 江

東京都港区芝五丁目7番1号 日本電気株  
式会社内

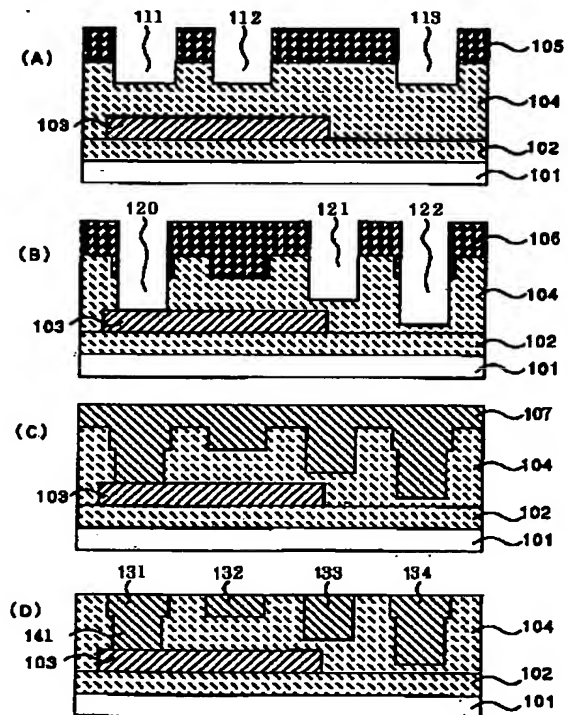
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 回路動作速度および集積度が向上した半導体装置を提供し、また、回路設計が簡易化された該半導体装置の製造方法を提供する。

【解決手段】 シリコン基板上に絶縁膜が形成され該絶縁膜上に第1の配線が設けられ、該第1の配線および該絶縁膜上にさらに絶縁膜が形成され、該絶縁膜に開口部が設けられ該開口部に金属が埋め込まれて第2の配線が形成された半導体装置であって、前記開口部が、孔状開口部および深さの異なる2つ以上の溝状開口部であり、該孔状開口部が該溝状開口部の少なくとも一部に第1の配線に至るように設けられた半導体装置。



## 【特許請求の範囲】

【請求項 1】 シリコン基板上の絶縁膜に溝状配線を有する半導体装置において、同一配線層に、膜厚の異なる溝状配線を 2 つ以上有することを特徴とする半導体装置。

【請求項 2】 シリコン基板上の絶縁膜に開口部が設けられ該開口部を金属が占める半導体装置であって、前記開口部が、孔状開口部および深さの異なる 2 つ以上の溝状開口部であること特徴とする半導体装置。

【請求項 3】 シリコン基板上に絶縁膜が形成され該絶縁膜上に第 1 の配線が設けられ、該第 1 の配線および該絶縁膜上にさらに絶縁膜が形成され、該絶縁膜に開口部が設けられ該開口部に金属が埋め込まれて第 2 の配線が形成された半導体装置であって、前記開口部が、孔状開口部および深さの異なる 2 つ以上の溝状開口部であり、該孔状開口部が該溝状開口部の少なくとも一部に第 1 の配線に至るように設けられたことを特徴とする半導体装置。

【請求項 4】 シリコン基板上に絶縁膜を形成し該絶縁膜上に第 1 の配線を形成する工程と、該第 1 の配線および該絶縁膜上にさらに絶縁膜を形成する工程と、該絶縁膜に第 1 の溝状開口部と孔状開口部と第 2 の溝状開口部を形成する工程と、これら開口部内に金属を埋め込み且つ該絶縁膜の全面に金属を形成する工程と、該金属表面と該絶縁膜表面とが同一平面になるまで金属を除去する工程とを有する半導体装置の製造方法であって、前記孔状開口部が前記第 1 の溝状開口部の少なくとも一部に第 1 の配線に至るように設けられ、且つ、前記第 2 の溝状開口部が前記第 1 の溝状開口部と異なる場所または／及び前記第 1 の溝状開口部の少なくとも一部に設けられることを特徴とする請求項 1、2 又は 3 記載の半導体装置の製造方法。

【請求項 5】 孔状開口部と第 2 の溝状開口部を、同一のフォトリソグラフィ工程およびエッチング工程で形成する請求項 4 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に溝状配線構造を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来、基板および下層配線に設けられた層間絶縁膜に、溝状開口部と孔状開口部を設けてこれを金属で埋めることにより、ビアホールと上層配線を同時に形成する方法が知られており、例えば特開昭 63-271958 号公報に開示されている。

【0003】以下、図 11～図 14 を用いてこの従来技術を説明する。図 11 及び図 12 は素子断面図により表した製造工程図である。なお、特開昭 63-271958 号公報には拡散層上にコンタクト孔を介して配線を形

成する例が記載されているが、ここでは下層配線にビアホールと上層配線を設ける例を説明する。

【0004】まず図 11 (A) に示すように、シリコン基板 (401) 上に第 1 のシリコン酸化膜 (402) を形成した後、第 1 の配線として配線 A (403) を例えばアルミにより所定の形状で形成し、次いで第 2 のシリコン酸化膜 (404) を全面に形成する。

【0005】次に、通常のフォトリソグラフィ技術で形成されたフォトレジスト (405) をマスクとして第 2 のシリコン酸化膜を異方性エッチングし、図 11

(B) に示すように、ビアホールのための孔状開口部 (420) を配線 A (403) に至るように形成する。

【0006】フォトレジスト (405) を除去した後、フォトリソグラフィ技術と異方性エッチング技術により所定の形状のフォトレジスト (406) を形成し、これをマスクとして第 2 の配線のための溝状開口部 (411、412) を第 2 のシリコン酸化膜の途中の深さまで形成する (図 11 (C))。このとき、先に形成した孔状開口部 (420) は十分に深いため、この底部にはフォトレジスト (406) が残存している。

【0007】フォトレジスト (406) を除去することにより、図 12 (A) に示すように、ビアホール (441) と溝状開口部 (411、412) が形成される。

【0008】次に、図 12 (B) に示すように、全面に金属として例えばアルミ (407) を形成し、ビアホールと溝状開口部を埋める。

【0009】続いて、図 12 (C) に示すように全面をエッチバックし、開口部にのみアルミを残す。この結果、配線 A (403) がビアホール (441) 内のアルミを介して第 2 の配線である配線 B (431) と接続する。また、第 2 の配線である配線 C (432) は単独配線として形成される。

【0010】図 13 は、従来の半導体装置の素子平面図であり、この X-Y 断面が図 12 (C) に相当する。

【0011】図 14 は、各リソグラフィ工程で使用するマスクパターンをポジプロセスの場合について工程順に示している。図 14 (A) は配線 A のマスクパターン、図 14 (B) はビアホールのための孔状開口部 (420) のマスクパターン、図 14 (C) は配線 B 及び配線 C のための溝状開口部 (411、412) のマスクパターンを示す。

【0012】絶縁膜内の開口部にのみ金属を埋め込み溝状配線を形成する技術として、上記従来技術ではエッチバックによる方法を説明したが、別の技術として化学的機械的研磨法 (CMP=Chemical Mechanical polishing) が知られている。この CMP による溝状配線の形成技術は、例えば特公平 7-77218 号公報に開示されている。この技術は、基板の上の絶縁膜に開口部を設け、この開口部を埋めるのに十分な厚さの金属層を形成した後、絶縁膜と金属層の表面

が実質的に同一平面になるまで、アルミナ粉末を含む酸添加スラリーを用いて化学的機械的に研磨するものである。この技術を孔状開口部と溝状開口部を有する半導体装置に適用すれば、エッチバックを用いた方法よりも、より平坦な表面を形成することができる。

#### 【0013】

【発明が解決しようとする課題】一般に集積回路の動作速度は、配線抵抗と配線容量に依存し、どちらも低いことが望ましい。配線抵抗を低減するためには配線膜厚および配線幅を大きくする必要がある。一方、配線容量を低減するためには配線幅を狭くし、かつ隣接配線間隔を広げる必要がある。

【0014】しかしながら、これらの2つの要求は両立しないため、回路の設計に際しては両者を考慮した上で適正な値を選択することになる。すなわち、回路動作速度が配線抵抗に強く依存する回路においては、配線抵抗が低くなるように配線膜厚と配線幅を大きくすることが効果的である。逆に回路動作速度が配線容量に強く依存する回路においては、配線容量が低くなるように配線幅を狭くしかつ隣接配線間隔を大きくとる。いずれにおいても、レイアウト面積が大きくなり集積度が犠牲になるため、回路動作速度と集積度とを両立させるのは困難である。

【0015】したがって従来技術においては、配線の厚さを固定していることから、配線抵抗と配線容量が回路のレイアウトによって一義的に決まってしまう、必ずしも最適な設計がなされていなかった。

【0016】そこで本発明の目的は、集積回路の設計における配線抵抗および配線容量の選択の幅を広げて設計の自由度を高めることにより、回路動作速度および集積度が向上した半導体装置を提供することであり、また回路設計が簡易化された該半導体装置の製造方法を提供することである。

#### 【0017】

【課題を解決するための手段】本発明者は、上記の目的を達成するために種々の検討を重ねた結果、本発明を完成した。

【0018】第1の発明は、シリコン基板上の絶縁膜に溝状配線を有する半導体装置において、同一配線層に、膜厚の異なる溝状配線を2つ以上有することを特徴とする半導体装置に関する。

【0019】第2の発明は、シリコン基板上の絶縁膜に開口部が設けられ該開口部を金属が占める半導体装置であって、前記開口部が、孔状開口部および深さの異なる2つ以上の溝状開口部であること特徴とする半導体装置に関する。

【0020】第3の発明は、シリコン基板上に絶縁膜が形成され該絶縁膜上に第1の配線が設けられ、該第1の配線および該絶縁膜上にさらに絶縁膜が形成され、該絶縁膜に開口部が設けられ該開口部に金属が埋め込まれて

第2の配線が形成された半導体装置であって、前記開口部が、孔状開口部および深さの異なる2つ以上の溝状開口部であり、該孔状開口部が該溝状開口部の少なくとも一部に第1の配線に至るように設けられたことを特徴とする半導体装置に関する。

【0021】第4の発明は、シリコン基板上に絶縁膜を形成し該絶縁膜上に第1の配線を形成する工程と、該第1の配線および該絶縁膜上にさらに絶縁膜を形成する工程と、該絶縁膜に第1の溝状開口部と孔状開口部と第2の溝状開口部を形成する工程と、これら開口部内に金属を埋め込み且つ該絶縁膜の全面に金属を形成する工程と、該金属表面と該絶縁膜表面とが同一平面になるまで金属を除去する工程とを有する半導体装置の製造方法であって、前記孔状開口部が前記第1の溝状開口部の少なくとも一部に第1の配線に至るように設けられ、且つ、前記第2の溝状開口部が前記第1の溝状開口部と異なる場所または／及び前記第1の溝状開口部の少なくとも一部に設けられることを特徴とする第1、第2又は第3の発明の半導体装置の製造方法に関する。

【0022】第5の発明は、孔状開口部と第2の溝状開口部を、同一のフォトリソグラフィ工程およびエッチング工程で形成する第4の発明の半導体装置の製造方法に関する。

#### 【0023】

【発明の実施の形態】以下、本発明の実施の形態を挙げて詳細に説明する。

#### 【0024】実施形態1

図1(D)は、本発明の半導体装置の一実施形態の素子断面図である。シリコン基板(101)上に第1のシリコン酸化膜(102)が設けられ、その上に第1の配線としてアルミからなる厚さ0.5 $\mu$ mの配線A(103)が所定の形状で設けられ一層目配線として機能する。この全面に第2のシリコン酸化膜(104)が配線A上で約1.3 $\mu$ mの厚さとなるように設けられている。

【0025】第2のシリコン酸化膜には、第2の配線である配線B～E(131～134)のための溝状開口部、並びにビアホール(141)のための孔状開口部が設けられ、それらの内部にはアルミが埋められている。配線A(103)はビアホール(141)内のアルミを介して配線B(131)と接続している。配線B(131)及び配線C(132)は厚さ約0.5 $\mu$ mであり、二層目配線として機能する。配線D(133)は厚さ約1.0 $\mu$ mであり、二層目配線として機能する。配線E(134)は、一段目の深さ約0.5 $\mu$ mの溝状開口部と二段目の深さ約1.0 $\mu$ mの溝状開口部とからなる開口部に形成され、合計で約1.5 $\mu$ mの厚さを有し、二層目配線として機能する。

【0026】従来例では第2の配線として配線B及び配線Cのみが設けられていたが、本実施形態においては、

新たに配線D及び配線Eを設けている。配線D及び配線Eは、配線膜厚がそれぞれ $1.0\mu\text{m}$ 及び $1.5\mu\text{m}$ であり、従来の配線の2～3倍であるため、これらの配線抵抗は2分の1～3分の1へと大幅に低減している。

【0027】また本実施形態では、二層目配線として3種類の膜厚を有する配線を設けているため、回路の設計に際して、配線抵抗と配線容量を考慮した自由度の高い設計が可能になる。例えば、配線抵抗よりも配線容量の低減が重要な箇所には、薄い配線である $0.5\mu\text{m}$ 厚の配線B及び配線Cを使用し、逆に容量よりも抵抗の低減が重要な箇所には厚い配線である $1.0\mu\text{m}$ 厚の配線Dを使用すればよい。さらに、より低抵抗化が重要な箇所、例えば大電流が流れる電源用配線などには、より厚い配線である $1.5\mu\text{m}$ 厚の配線Eを使用すればよい。

【0028】なお、配線B、配線C及び配線Dについては配置上の制約が無く自由に配置できるが、配線Eについては下に配線Aが無い領域にのみ配置することが必要である。

【0029】次に、本実施形態の半導体装置の製造方法について説明する。

【0030】図1(A)～(D)は、本実施形態の半導体装置の製造方法を素子断面図により表した製造工程図である。まず図1(A)に示すように、シリコン基板

(101)上に第1のシリコン酸化膜(102)を形成した後、配線A(103)として例えば $0.5\mu\text{m}$ 厚のアルミを所定の形状で形成し、次いで第2のシリコン酸化膜(104)を全面に形成する。その表面をCMPにより平坦化し、配線A上でのシリコン酸化膜の厚さが約 $1.3\mu\text{m}$ となるようにする。

【0031】続いて、通常的光リソグラフィ技術で形成されたフォトリソグرافیマスクとして第2のシリコン酸化膜を約 $0.5\mu\text{m}$ の深さまで異方性エッチングし、配線B(131)、配線C(132)及び配線D(134)のためのそれぞれの第1の溝状開口部(111、112、113)を形成する(図1(A))。

【0032】フォトリソグرافیマスク(105)を除去した後、図1(B)に示すように、同様の光リソグラフィ技術と異方性エッチング技術により、フォトリソグرافیマスク(106)をマスクとして第2のシリコン酸化膜を約 $1.0\mu\text{m}$ の深さまで異方性エッチングし、孔状開口部(120)及び第2の溝状開口部(121、122)を形成する。孔状開口部(120)と第2の溝状開口部(122)は、先に形成した第1の溝状開口部(111、113)の内部にそれぞれ形成する。また、第2の溝状開口部(121)は第2のシリコン酸化膜に新たに開孔する。その際、孔状開口部(120)の下には配線A(103)があるため、孔の深さは約 $0.8\mu\text{m}$ でとまる。第2の溝状開口部(121)は配線A(103)と第1のシリコン酸化膜(102)の上部に位置してい

るが、第2のシリコン酸化膜のエッチング量が約 $1.0\mu\text{m}$ であるため、配線A上では約 $0.3\mu\text{m}$ 厚のシリコン酸化膜が、また第1のシリコン酸化膜上では約 $0.8\mu\text{m}$ 厚の第2のシリコン酸化膜が残った状態になっており、配線Aとの短絡の危険性はない。また、第2の溝状開口部(122)では第2のシリコン酸化膜が約 $0.3\mu\text{m}$ 厚で残っており、下部に配線Aがなければ短絡の危険性はない。

【0033】フォトリソグرافیマスク(106)を除去後、図1(C)に示すように、金属として例えばアルミ(107)を全面に形成する。

【0034】次に、CMPにより、アルミ(107)の表面と第2のシリコン酸化膜(104)の表面とが同一平面になるまで研磨する。この結果、図1(D)に示すように、第2のシリコン酸化膜に形成された開口部をアルミが埋めることになる。

【0035】図2は、本実施形態の半導体装置の素子平面図であり、図2のX-Y断面が図1(D)に相当する。図2中には、配線B(131)、配線C(132)、配線D(133)及び配線E(134)の他に、ビアホール(141)の形状と配線A(103)の形状を示している。

【0036】図3は、各リソグラフィ工程で使用するマスクパターンをポジプロセスの場合について工程順に示している。図3(A)は配線Aのマスクパターン、図3(B)は配線B、C及びEのための溝状開口部(111、112、113)のマスクパターン、図3(C)はビアホールのための孔状開口部(120)、配線Dのための溝状開口部(121)及び配線Eのための溝状開口部(122)のマスクパターンを示す。

【0037】本実施形態の製造方法では、層間絶縁膜である第2のシリコン酸化膜に溝状開口部および孔状開口部を形成する際、ビアホール開孔のためのマスクが、ビアホール用のマスクパターンだけでなく配線用のマスクパターンをも有している。このため、ビアホールと同程度に深い、すなわち厚い溝状配線を形成することが可能になる。さらに、溝状配線用のマスクパターンを既に形成されている溝状開口部に重なる位置に形成することにより、より深い溝状配線を形成することが可能となる。

#### 【0038】実施形態2

図4(D)は、本発明の半導体装置の一実施形態の素子断面図である。シリコン基板(201)上に第1のシリコン酸化膜(202)が設けられ、その上に第1の配線としてアルミからなる厚さ $0.5\mu\text{m}$ の配線A(203)が所定の形状で設けられ一層目配線として機能する。この全面に第2のシリコン酸化膜(204)が配線A上で約 $1.3\mu\text{m}$ の厚さとなるように設けられている。

【0039】第2のシリコン酸化膜には孔状開口部と溝状開口部が設けられ、それらの内部にはアルミが埋めら

れている。配線A(203)はピアホール(241)内のアルミを介して配線B(231)と接続している。配線B(231)及び配線C(232)は厚さ約 $0.5\mu\text{m}$ であり、二層目配線として機能する。配線D(233)は厚さ約 $1.0\mu\text{m}$ の二層目配線として機能し、かつ配線B(231)と配線C(232)とを接続している。図4(D)においては、実施形態1で説明した配線Eは描かれていないが、図1(D)の説明で述べた要領で形成してもよい。

【００４０】次に、本実施形態の半導体装置の製造方法 10 について説明する。

【0041】図4（A）～（D）は、本実施形態の半導体装置の製造方法を素子断面図により表した製造工程図である。まず図4（A）に示すように、シリコン基板（201）上に第1のシリコン酸化膜（202）を形成した後、配線A（203）として0.5μm厚のアルミを所定の形状で形成し、次いで第2のシリコン酸化膜（204）を全面に形成する。その表面をCMPにより平坦化し、配線A上でのシリコン酸化膜の厚さが約1.3μmとなるようにする。

【0042】続いて、通常のフォトリソグラフィ技術で形成されたフォトレジスト（205）をマスクとして第2のシリコン酸化膜を約0.5  $\mu\text{m}$ の深さまで異方性エッチングし、配線B（231）及び配線C（232）のための第1の溝状開口部（211、212）をそれぞれ形成する（図4（A））。

【0043】フォトレジスト（205）を除去した後、図4（B）に示すように、同様のフォトリソグラフィ技術によりフォトレジスト（206）を所定の形状で形成する。

【0044】このフォトレジスト（206）をマスクとして第2のシリコン酸化膜を約1.0  $\mu\text{m}$ の深さまで異方性エッチングし、孔状開口部（220）及び第2の溝状開口部（221）を形成する（図4（C））。その際、孔状開口部（220）の下には配線A（203）があるため、孔の深さは約0.8  $\mu\text{m}$ でとまる。

【0045】フォトレジスト（206）の除去後、金属として例えばアルミを全面に形成し、次いでCMPによりアルミ表面と第2のシリコン酸化膜表面とが同一平面になるまでになるまで研磨する。この結果、図4（D）に示すように、第2のシリコン酸化膜に形成された開口部をアルミが埋めることになる。

【0046】図5は、本実施形態の半導体装置の素子平面図であり、図5のX-Y断面が図4（D）に相当する。

【0047】図6は、各リソグラフィ工程で使用するマスクパターンをポジプロセスの場合について工程順に示している。図6（A）は配線Aのマスクパターン、図6（B）は配線B及び配線Cのための第1の溝状開口部（211、212）のマスクパターン、図6（C）はピ

アホールのための孔状開口部（２２０）及び配線Ｄのための第２の溝状開口部（２２１）のマスクパターンを示す。

【0048】本実施形態においては、ピアホールが一層目配線と二層目配線を接続するほかに、ピアホールと同時に形成された溝状開口部に設けられた低抵抗の配線Dが、互いに離れた二層目配線同士（配線B（231）と配線C（232））とを接続している。

**【0049】實施形態3**

図 8 (C) は、本発明の半導体装置の一実施形態の素子断面図である。また図 7 及び図 8 は、本実施形態の半導体装置の製造方法を素子断面図により表した製造工程図である。本実施形態の半導体装置は、まず図 7 (A) に示すように、シリコン基板 (301) 上に第 1 のシリコン酸化膜 (302) を形成した後、第 1 の窒化膜 (351) を約  $0.1 \mu\text{m}$  の厚さで形成する。その上に、第 1 の配線としてアルミからなる厚さ  $0.5 \mu\text{m}$  の配線 A (303) を所定の形状で形成し、次いで第 2 のシリコン酸化膜 (304) を約  $1.3 \mu\text{m}$  の厚さで全面に成膜する。

【0050】次に、図7（B）に示すように、CMPによって第2のシリコン酸化膜の表面が平坦になるまで研磨する。研磨量は、配線A上におけるシリコン酸化膜の厚さが約0.7 $\mu\text{m}$ となるようにする。

【0051】上記の平坦化した表面の全面に第2の窒化膜(352)を0.1  $\mu\text{m}$ の厚さで形成し、さらに第3のシリコン酸化膜(353)を約0.5  $\mu\text{m}$ の厚さで形成する(図7(C))。

【0052】続いて、通常のフォトリソグラフィ技術で形成されたフォトレジスト（305）をマスクとして、第3のシリコン酸化膜（353）、第2の窒化膜（352）及び第2のシリコン酸化膜（304）からなる積層絶縁膜を約1.5  $\mu\text{m}$ の深さまで異方性エッチングし、孔状開口部（320）及び第2の溝状開口部（321）を形成する（図8（A））。このとき、孔状開口部（320）は配線A上に位置するため深さが約1.3  $\mu\text{m}$ となる。第2の溝状開口部（321）は下に配線Aが無いため深さが約1.5  $\mu\text{m}$ となる。なお、上記の積層絶縁膜をエッチングする際には、シリコン酸化膜と窒化膜とでエッチングガス等のエッチング条件を変えて行ってもよい。

【0053】フォトレジスト（305）を除去した後、同様のフォトリソグラフィ技術で溝状開口部を有するフォトレジスト（306）を形成する。なお、孔状開口部（320）は十分に深いので底部にレジストが残存していてもよい。

【0054】このフォトレジスト（306）をマスクとして、第3のシリコン酸化膜、第2の窒化膜および第2のシリコン酸化膜からなる積層膜を約0.5  $\mu\text{m}$ の深さまで異方性エッチングし、第1の溝状開口部（311、



3 1 2) を形成する (図 8 (B))。この異方性エッチングの際に、シリコン酸化膜のエッチング速度に比べて窒化膜のエッチング速度が十分に小さくなるような条件を用いることが重要である。すなわち窒化膜は溝エッチング時のエッチングストッパーとなるため、溝の深さは窒化膜の位置である約  $0.5 \mu\text{m}$  となる。

【0055】フォトレジスト (306) の除去後、金属としてアルミを全面に形成し、次いで CMP によりアルミ表面と第 3 のシリコン酸化膜表面とが同一平面になるまで研磨する。この結果、図 8 (C) に示すように、積層絶縁膜に開けられた開口部をアルミが埋めることにな

る。  
【0056】配線 A はビアホール (341) 内のアルミを介して配線 B (331) と接続している。配線 B (331) 及び配線 C (332) は厚さが約  $0.5 \mu\text{m}$  であり、二層目配線として機能する。配線 D (333) は厚さが約  $1.0 \mu\text{m}$  であり、同様に二層目配線として機能する。

【0057】図 9 は、本実施形態の半導体装置の素子平面図であり、図 9 の X-Y 断面が図 8 (C) に相当す

る。  
【0058】図 10 は、各リソグラフィー工程で使用するマスクパターンをポジプロセスの場合について工程順に示している。図 10 (A) は配線 A のマスクパターン、図 10 (B) はビアホールのための孔状開口部 (320) 及び配線 D のための第 2 の溝状開口部 (321) のマスクパターン、図 10 (C) は配線 B 及び配線 D のための第 1 の溝状開口部 (311、312) のマスクパターンを示す。

【0059】本実施形態においては、積層絶縁膜の間に窒化膜が形成されているため、この窒化膜が溝をエッチングする際にエッチングストッパーとして機能し、溝の深さを精度良く制御することが可能になる。また、第 2 の溝状開口部 (321) のエッチングの際にも下地の第 1 の窒化膜 (351) がストッパーとなるため、オーバーエッチング時間が過剰に長くても、下の配線や基板との短絡を防ぐことができる。

【0060】以上に述べた実施形態 1~3 は、一層目配線と二層目配線を形成する場合を説明したが、本発明は多層配線を有する半導体装置であれば配線総数によらず適用が可能である。

【0061】本発明の半導体装置の配線材料は、アルミに限定されるものではなく、例えば、銅、タングステン、チタン、モリブデン、パラジウム、スカンジウム、マグネシウム等の金属単独、あるいはこれらの一つ又は複数とアルミとの合金であってもよい。

【0062】本発明の半導体装置の配線は積層構造であってもよい。例えばチタン、窒化チタン、チタンタングステン、タングステン、タングステンシリサイド、モリブデン等を配線の上層あるいは下層として設けた配線と

してもよい。

【0063】

【発明の効果】本発明は、同一配線層において 2 つ以上の異なる膜厚の溝状配線を設けているため、回路の設計に際して、配線抵抗と配線容量を考慮した自由度の高い設計が可能になる。これにより、回路設計が簡易化され、さらに半導体装置の回路動作速度および集積度を向上させることができる。しかもこれらの効果は、製造工程の追加なしに実現できるため、製造コスト及び製造時間の増加は無く、高性能な半導体装置が容易かつ安価に製造できる。

【図面の簡単な説明】

【図 1】本発明の半導体装置の製造方法の一実施形態を素子断面図により表した製造工程図である。

【図 2】本発明の半導体装置の素子平面図である。

【図 3】本発明の半導体装置の製造方法における各リソグラフィー工程で使用するマスクパターンの説明図である。

【図 4】本発明の半導体装置の製造方法の一実施形態を素子断面図により表した製造工程図である。

【図 5】本発明の半導体装置の素子平面図である。

【図 6】本発明の半導体装置の製造方法における各リソグラフィー工程で使用するマスクパターンの説明図である。

【図 7】本発明の半導体装置の製造方法の一実施形態を素子断面図により表した製造工程図である。

【図 8】本発明の半導体装置の製造方法の一実施形態を素子断面図により表した製造工程図である。

【図 9】本発明の半導体装置の素子平面図である。

【図 10】本発明の半導体装置の製造方法における各リソグラフィー工程で使用するマスクパターンの説明図である。

【図 11】従来の半導体装置の製造方法の一実施形態を素子断面図により表した製造工程図である。

【図 12】従来の半導体装置の製造方法の一実施形態を素子断面図により表した製造工程図である。

【図 13】従来の半導体装置の素子平面図である。

【図 14】従来の半導体装置の製造方法における各リソグラフィー工程で使用するマスクパターンの説明図である。

【符号の説明】

101、201、301、401 シリコン基板

102、202、302、402 第 1 のシリコン酸化膜

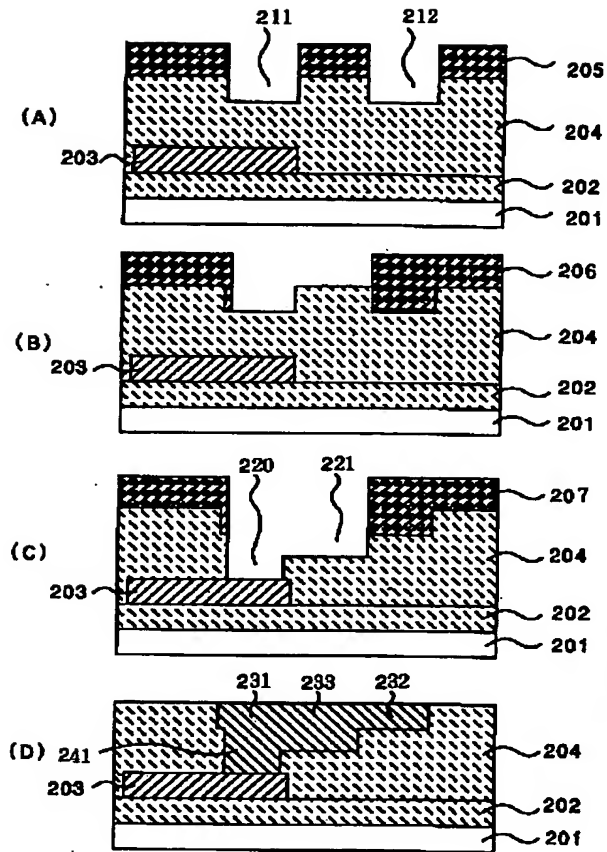
103、203、303、403 配線 A

104、204、304、404 第 2 のシリコン酸化膜

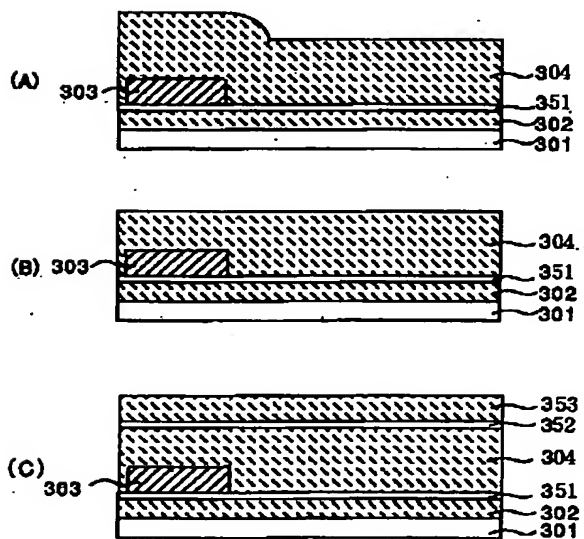
105、106、205、206、305、306、405、406 フォトレジスト

111、112、113、211、212、311、3

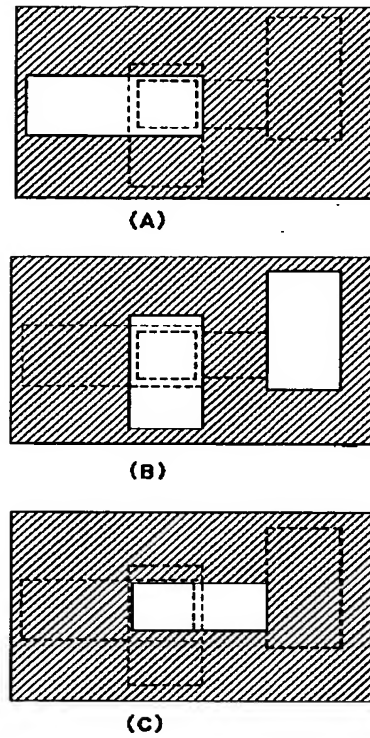
【図 4】



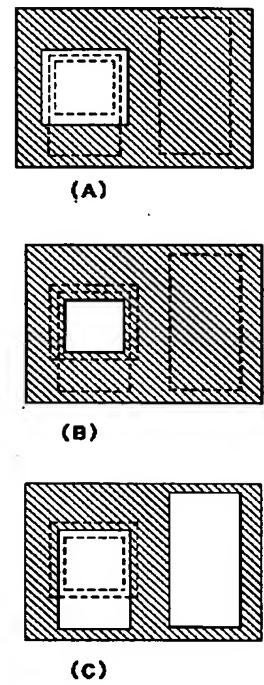
【図 7】



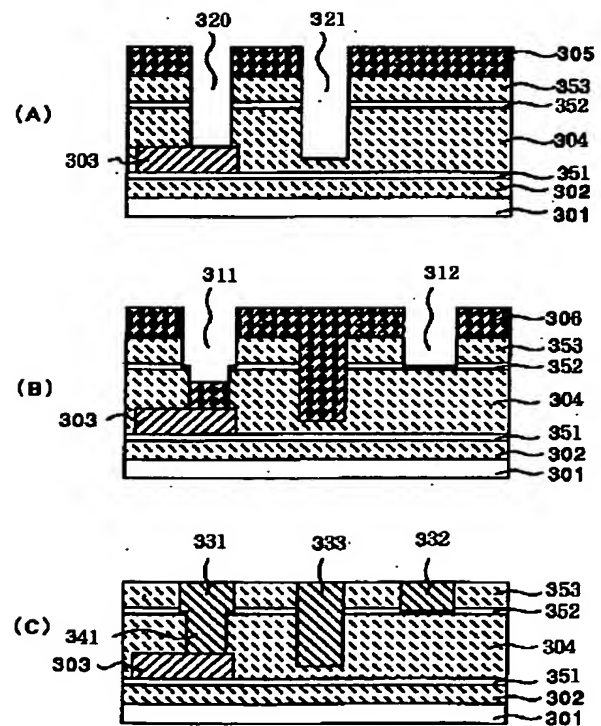
【図 6】



【図 14】

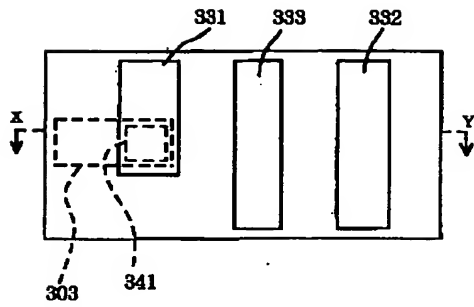


【図 8】



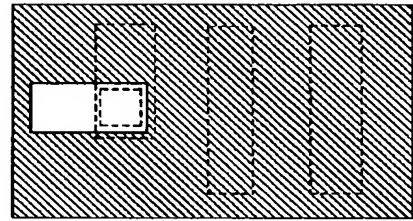


【図 9】

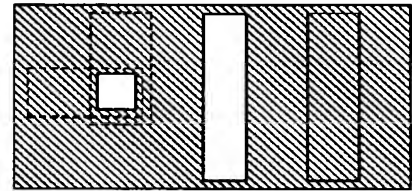


【図 10】

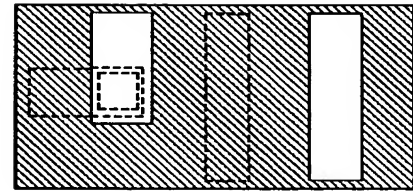
(A)



(B)

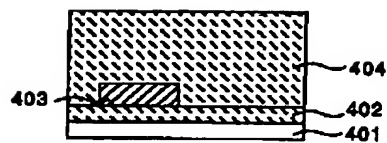


(C)

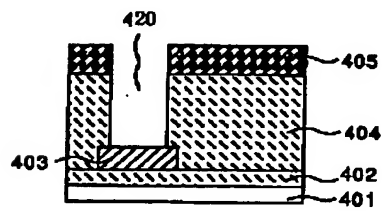


【図 11】

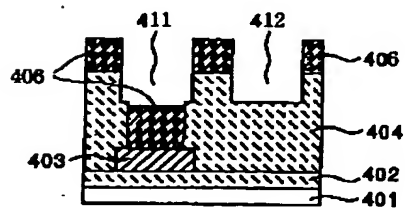
(A)



(B)

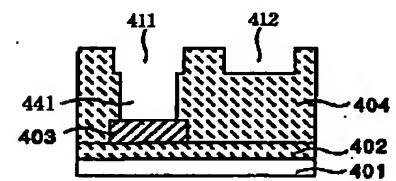


(C)

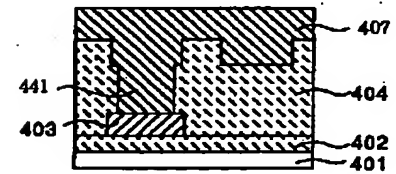


【図 12】

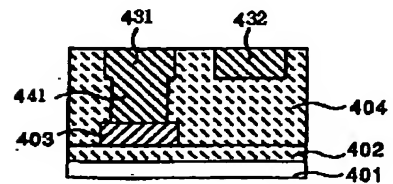
(A)



(B)



(C)



【図 1 3】

